

출력 일자: 2004/8/27

발송번호 : 9-5-2004-034909498

수신 : 서울 강남구 삼성동 158-12 서영빌딩

발송일자 : 2004.08.26

9층(네이트국제특허법률사무소)

제출기일 : 2004.10.26

정원기 귀하

135-090

특허청 의견제출통지서

출원인 영칭 엘지.필립스 엘시디 주식회사 (출원인코드: 119981018655)

주소 서울 영등포구 여의도동 20번지

대리인 성명 정원기

주소 서울 강남구 삼성동 158-12 서영빌딩 9층(네이트국제특허법률사무소)

출원번호 10-2002-0053086

발명의 명칭 다결정 실리콘 박막트랜지스터 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이출 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장할 수 있으며, 이 신청에 대하여 범도의 기간연장 승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-5항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

본원의 청구범위 제1-5항은 다결정실리콘 박막트랜지스터 제조방법에 관한 것으로, 소정의 분위기 가스가 존재하는 진공챔버내에서 액티브층이 형성된 기판의 전면에 실리콘산화막을 증착하고, 진공도를 낮추어 열을 가하여 실리콘질연막을 형성하고, 실리콘질연막 상부에 게이트전극을 형성한 다음, 오믹영역, 소스/드레인전극 등을 형성한 것을 특징으로 하나, 이는 인용발명1(일본특개 2002-208707호)에 개시된, 산소가스와 SiH_4 가스가 존재하는 진공챔버내에서 100°C 이하, 10^{-3}Torr 진공도의 조건으로 기판 전면에 실리콘산화막을 형성하고, 열처리하여 표층중위층 감소시킨 박막트랜지스터 제조방법과, 인용발명2(한국특허특허 313,385호)에 개시된, 이산화질소 분위기에서 $300\sim 700^\circ\text{C}$ 가열온도로 CVD법으로 실리콘산화막을 형성하고 열처리하여 게이트전연막을 형성한 TFT 제조방법과, 인용발명3(한국공개특허 1999-58635호)에 개시된, 활성층상에 PECVD기술을 이용하여 산화실리콘을 증착하고, 레이저 어닐링하여 게연 특성을 향상시킨 박막트랜지스터로부터 몸상의 지식을 가진 자가 용이하게 발명할 수 있습니다.

[참 무]

첨부 1 일본공개특허공보 평 14-208707호(2002.07.26) 1부.

첨부2 등록특허번호 제0313385호(2003.08.06) 1부.

첨부3 공개특허 제 1999-58635호(1999.07.15) 1부. 끝.

2004.08.26

특허청

전기전자심사국

응용소자심사담당관실

심사관 임동우



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-208707

(43)Date of publication of application : 26.07.2002

(51)Int.Cl.

H01L 29/786

H01L 21/336

H01L 21/20

H01L 21/322

H01L 21/324

(21)Application number : 2001-003027

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 10.01.2001

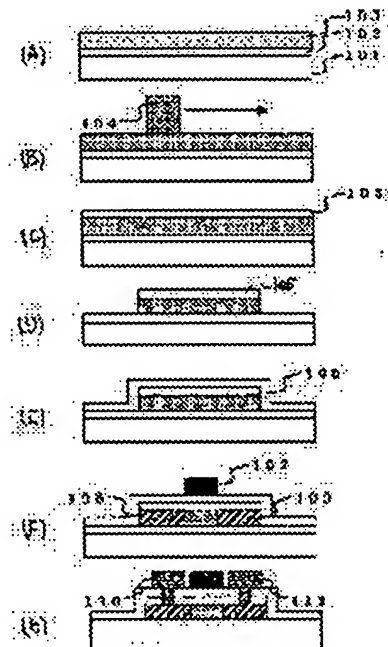
(72)Inventor : AZUMA SEIICHIRO

(54) METHOD OF MANUFACTURING THIN-FILM TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a thin-film transistor which has high mobility, low threshold voltage and less variations by lowering the capture level of a semiconductor layer formed by a low-temperature process as well as MOS boundary.

SOLUTION: Light is radiated onto a semiconductor layer 103 on a substrate 101 at 100°C or lower in substrate temperature for crystallization, and then the semiconductor layer 103 is treated by a plasma at 100°C or lower in substrate temperature. Furthermore, a gate insulation film 105 is formed on the semiconductor layer 103 at 100°C or lower in substrate temperature, and it is heated at 100°C or higher.



LEGAL STATUS

[Date of request for examination]

22.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開
特開2002-2
(P2002-2087)

(43) 公開日 平成14年7月26日

(51) Int.Cl. ⁷	識別記号	F I	ページ
H 0 1 L 29/786		H 0 1 L 21/20	5
21/336		21/322	Z 5
21/20		21/324	P
21/322		29/78	6 1 7 V
21/324			6 2 7 B

審査請求 未請求 請求項の数15 O L (全 14 頁)

(21) 出願番号 特願2001-3027(P2001-3027)

(22) 出願日 平成13年1月10日(2001.1.10)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番

(72) 発明者 京 清一郎

長野県諏訪市大和3丁目3番
ーエプソン株式会社内

(74) 代理人 100095728

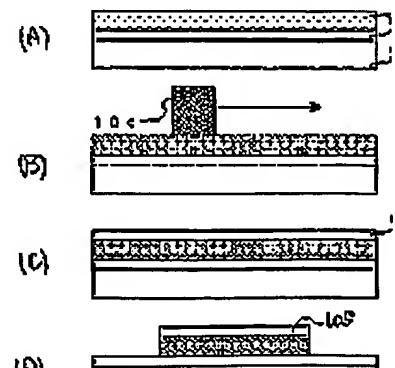
弁理士 上柳 雅彦 (外1名)

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】 (修正有)

【課題】 低温プロセスで形成した半導体層およびMOS界面の捕獲準位を低減せしめ、高移動度、低しきい値電圧でなお且つバラツキの少ない薄膜トランジスタを実現する。

【解決手段】 基板101上の半導体層103に基板温度100℃以下で光照射による半導体層103の結晶化をおこない、しかる後に基板温度100℃以下で半導体層103にプラズマ処理を施す。その後半導体層103上に基板温度100℃以下でゲート絶縁膜105を形成



(2)

特開2002-

1

2

【特許請求の範囲】

【請求項1】 基板上の半導体層に基板温度100℃以下で光照射をおこない半導体層の結晶化をおこなう工程、しかる後に該半導体層に基板温度100℃以下でプラズマ処理を施す工程、しかる後に該半導体層上に基板温度100℃以下でゲート絶縁膜を形成する工程、しかる後に100℃以上の温度で熱処理を施す工程を有することを特徴とする薄膜トランジスタの製造方法。

【請求項2】 前記光照射により半導体層の結晶化をおこなう工程とプラズマ処理を施す工程とゲート絶縁膜を形成する工程は、真空中連続処理で行われることを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項3】 前記ゲート絶縁膜の形成は、プラズマCVDを用いておこなうことを特徴とする請求項1又は2記載の薄膜トランジスタの製造方法。

【請求項4】 前記プラズマCVDはマイクロ波放電プラズマをもちいておこなうことを特徴とする請求項3記載の薄膜トランジスタの製造方法。

【請求項5】 基板上の半導体層に基板加熱をおこなわずに光照射をおこない半導体層の結晶化をおこなう工程、しかる後に該半導体層に基板加熱をおこなわずにプラズマ処理を施す工程、しかる後に該半導体層上に基板加熱をおこなわずにゲート絶縁膜を形成する工程、しかる後に100℃以上の温度で熱処理を施す工程を有することを特徴とする薄膜トランジスタの製造方法。

【請求項6】 前記光照射により半導体層の結晶化をおこなう工程とプラズマ処理を施す工程とゲート絶縁膜を形成する工程は、真空中連続処理で行われることを特徴とする請求項5記載の薄膜トランジスタの製造方法。

【請求項7】 前記ゲート絶縁膜の形成は、プラズマCVDを用いておこなうことを特徴とする請求項5又は6記載の薄膜トランジスタの製造方法。

【請求項8】 前記プラズマCVDはマイクロ波放電プラズマをもちいておこなうことを特徴とする請求項7記載の薄膜トランジスタの製造方法。

【請求項9】 基板上の半導体層に基板を室温以下に冷却しながら光照射をおこない半導体層の結晶化をおこなう工程、しかる後に該半導体層に基板を室温以下に冷却しながらプラズマ処理を施す工程、しかる後に該半導体層上に基板を室温以下に冷却しながらゲート絶縁膜を形成

【請求項12】 前記プラズマCVDはプラズマをもちいておこなうことを特徴とする請求項11記載の薄膜トランジスタの製造方法。

【請求項13】 前記熱処理は250℃以上雰囲気中でおこなうことを特徴とする請求項12のいずれかに記載の薄膜トランジスタの製造方法。

【請求項14】 前記熱処理は200℃以上中でおこなうことを特徴とする請求項12のいずれかに記載の薄膜トランジスタの製造方法。

【請求項15】 前記熱処理は大気圧以上10℃以上の水分雰囲気中にておこなうことを特徴とする請求項1乃至12のいずれかに記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は単結晶に形成される薄膜トランジスタ、絶縁体、薄膜トランジスタおよびこれにより形成される回路、メモリ回路、液晶表示装置および有線表示回路または表示装置駆動回路の構成要素として用いられる薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 多結晶シリコン等の半導体トランジスタ（以下本願明細書中ではTFT）は液晶表示装置に広く利用されている。とりわけ、（poly-Si）TFTは高移動度特性ながらガラス基板のように透明で絶縁性であるという特徴を生かして、液晶表示装置や液晶プロジェクターなどの光変調素子、駆動内蔵ドライバの構成素子として広い市場の創出に成功している。

【0003】 ガラス基板上に高性能なTFT方法としては高温プロセスと呼ばれる製造方法が1000℃程度の高温を用いるプロセスとされている。高温プロセスはシリコンの固相成長により比較的良質のp型半導体層を形成することができることと、熱酸化によるゲート絶縁膜（一般的に二酸化珪素）および溝

(3)

特開2002-208707

3

4

熱処理が必要であり、生産性が極めて低いとの課題がある。また、この方法では基板全体が長時間加熱されている事に起因して基板の熱変形が大きな問題と化し実質的に安価な大型ガラス基板を使用し得ないとの課題が生じており、これもまた低コスト化の妨げとなっている。

【0004】一方、高温プロセスが持つ上記欠点を解消し、尚且つ高移動度の poly-Si TFT を実現しようとしているのが低温プロセスと呼ばれる技術である。比較的安価な耐熱性ガラス基板を使うために、工程最高温度としておおむね 600°C 以下の poly-Si

TFT 製造プロセスを一概に低温プロセスと呼ぶ。低温プロセスでは発振時間が極短時間のパルスレーザーを用いてシリコン膜の結晶化をおこなうレーザー結晶化技術が広く使われている。レーザー結晶化とは、基板上のシリコン薄膜に高出力のパルスレーザー光を照射することによって瞬時に溶融させ、これが凝固する過程で結晶化する性質を利用する技術である。最近ではガラス基板上のアモルファスシリコン膜にエキシマレーザービームを繰り返し照射しながらスキャンすることによって大面積の poly-Si 膜を作成する技術が広く使われるようになった。また、ゲート絶縁膜としてはプラズマ CVD をもちいた成膜方法により二酸化珪素 (SiO_2) 膜が成膜可能となり実用化への見通しが得られるようになった。これらの技術によって、現在では一辺が数十センチほどもある大型のガラス基板上に poly-Si TFT が作成可能となっている。

【0005】しかし、この低温プロセスで問題となるのは能動層となる半導体層 (poly-Si) 内部および半導体層表面とゲート絶縁膜の界面 (以下 MOS 界面) に高い密度の捕獲準位が発生し、これが TFT の移動度の低下、閾値電圧の増大を招く。なお且つ、これら移動度、閾値の値が素子間、基板間およびロット間でバラつくという深刻な問題がある。単結晶シリコンを能動層として用いた場合、結晶中の捕獲準位密度は 10^{15} (cm^{-3}) 以下という極めて低い値となるが、多結晶シリコン膜の場合、膜中には $10^{17} \sim 10^{19}$ (cm^{-3}) の高い密度で捕獲準位が存在する。多結晶シリコン膜の場合、半導体層内に結晶粒界や結晶欠陥をはじめとする構造的乱れが多く存在し、これらが半導体のバンドギャップ中に準位を形成するため、これが捕獲準位として悪影響を及ぼすのである。更にもう一つの問題点は低温プロセスで形成した MOS 界面である。 1000°C 以上の熱処理によって形成される良好な MOS 界面における界面準位密度は 2×10^{10} ($\text{cm}^{-2} \text{eV}^{-1}$) 程度に低減することができるが、プラズマ CVD などにより 400°C 以下の低温で絶縁膜を形成した場合、MOS 界面準位密度は $10^{11} \sim 10^{12}$ ($\text{cm}^{-2} \text{eV}^{-1}$) という高い値となる。これら界面準位のエネルギーも半導体のバンドギャップ中に位置するため、これらも捕獲準位として作用し、これも TFT 特性

向上の妨げとなる。

【0006】TFT の場合、ゲート電極に電圧を印加すると MOS キャパシタ容量によって決まるキャリアが半導体層側に誘起される。しかし半導体層側、すなわち能動層および MOS 界面に捕獲準位があると、誘起されたキャリアがこれら捕獲準位に捕獲され伝導に寄与できない。結果として、より高いゲート電圧を印加し、捕獲準位密度よりも多くのキャリアを誘起してやらないとドレイン電流が得られないことになる。これが TFT の閾値電圧を高くしている原因である。現状では上記捕獲準位を積極的に制御する有効な手段がないため、TFT の移動度が低い、閾値電圧が高い、TFT 特性のバラツキが大きいという結果を招き、これが現在の製造プロセスでの最大の問題となっている。現状として低温 poly-Si TFT の閾値電圧はおおむね $3 \sim 4 \text{V}$ 程度である。閾値電圧を例えば 1V 程度に下げることができれば TFT で作製した回路の駆動電圧を現在の 3 分の 1 以下に下げることができる。回路の消費電力は駆動電圧の 2 乗に比例するので、駆動電圧を 3 分の 1 以下に下げることができれば消費電力を 10 分の 1 ちかくに飛躍的に下げることが可能となるのである。こうすることによって、例えば携帯情報機器向けのディスプレイに適した超低消費電力の液晶ディスプレイが実現できるのである。このような目的を達成するためには、 poly-Si および MOS 界面の捕獲準位面密度を共に 10^{10} ($\text{cm}^{-2} \text{eV}^{-1}$) 程度にまで低減することが求められる。

【0007】

【発明が解決しようとする課題】そこで本発明は上述の諸課題を鑑み、低温プロセスで形成した半導体層および MOS 界面の捕獲準位を低減せしめ、 poly-Si TFT および回路の特性向上を実現する薄膜トランジスタの製造方法を与えるものである。

【0008】

【課題を解決するための手段】上記課題を解決する為に請求項 1 記載の発明は、基板上の半導体層に基板温度 100°C 以下で光照射をおこない半導体層の結晶化をおこなう工程、しかる後に該半導体層に基板温度 100°C 以下でプラズマ処理を施す工程、しかる後に該半導体層上に基板温度 100°C 以下でゲート絶縁膜を形成する工程、しかる後に 100°C 以上の温度で熱処理を施す工程を有することを特徴とする。ここで結晶化とは、光照射をおこなう前の半導体層が非晶質、結晶質のいずれの状態にあるかにかかわらず、光照射により誘起される構造変化により結晶を形成することを指す。

【0009】上記課題を解決する為に請求項 2 記載の発明は、請求項 1 記載の薄膜トランジスタの製造方法において、前記光照射により半導体層の結晶化をおこなう工程とプラズマ処理を施す工程とゲート絶縁膜を形成する工程は、真空中連続処理で行われることを特徴とする。

【0010】上記課題を解決する為に請求項 3 記載の発

(4)

特開2002-208707

5

明は請求項1乃至2記載の薄膜トランジスタの製造方法において、前記ゲート絶縁膜の形成は、プラズマCVDを用いておこなうことを特徴とする。

【0011】上記課題を解決する為に請求項4記載の発明は請求項3記載の薄膜トランジスタの製造方法において、前記プラズマCVDはマイクロ波放電プラズマをもちいておこなうことを特徴とする。

【0012】上記課題を解決する為に請求項5記載の発明は、基板上の半導体層に基板加熱をおこなわずに光照射をおこない半導体層の結晶化をおこなう工程、しかる後に該半導体層に基板加熱をおこなわずにプラズマ処理を施す工程、しかる後に該半導体層上に基板加熱をおこなわずにゲート絶縁膜を形成する工程、しかる後に100℃以上の温度で熱処理を施す工程を有することを特徴とする。ここで基板加熱をおこなわないとは、ヒーターやランプ等をもちいた積極的な加熱をおこなわないことを指し、プロセスによる基板の自然加熱が起こるような状態も含む。

【0013】上記課題を解決する為に請求項6記載の発明は、請求項5記載の薄膜トランジスタの製造方法において、前記光照射により半導体層の結晶化をおこなう工程とプラズマ処理を施す工程とゲート絶縁膜を形成する工程は、真空中連続処理で行われることを特徴とする。

【0014】上記課題を解決する為に請求項7記載の薄膜トランジスタの製造方法は、請求項5乃至6記載の薄膜トランジスタの製造方法において、前記ゲート絶縁膜の形成は、プラズマCVDを用いておこなうことを特徴とする。

【0015】上記課題を解決する為に請求項8記載の薄膜トランジスタの製造方法は、請求項7記載の薄膜トランジスタの製造方法において、前記プラズマCVDはマイクロ波放電プラズマをもちいておこなうことを特徴とする。

【0016】上記課題を解決する為に請求項9記載の発明は、基板上の半導体層に基板を室温以下に冷却しながら光照射をおこない半導体層の結晶化をおこなう工程、しかる後に該半導体層に基板を室温以下に冷却しながらプラズマ処理を施す工程、しかる後に該半導体層上に基板を室温以下に冷却しながらゲート絶縁膜を形成する工程、しかる後に100℃以上の温度で熱処理を施す工程を有することを特徴とする。

【0017】上記課題を解決する為に請求項10記載の薄膜トランジスタの製造方法は、請求項9記載の薄膜トランジスタの製造方法において、前記光照射により半導体層の結晶化をおこなう工程とプラズマ処理を施す工程とゲート絶縁膜を形成する工程は、真空中連続処理で行われることを特徴とする。

【0018】上記課題を解決する為に請求項11記載の薄膜トランジスタの製造方法は、請求項9乃至10記載の薄膜トランジスタの製造方法において、前記ゲート絶

5

縁膜の形成は、プラズマCVDを用いておこなうことを特徴とする。

【0019】上記課題を解決する為に請求項12記載の薄膜トランジスタの製造方法は、請求項11記載の薄膜トランジスタの製造方法において、前記プラズマCVDはマイクロ波放電プラズマをもちいておこなうことを特徴とする。

【0020】上記課題を解決する為に請求項13記載の発明は、請求項1乃至12記載の薄膜トランジスタの製造方法において、前記熱処理は250℃以上の水素混合ガス雰囲気中でおこなうことを特徴とする。

【0021】上記課題を解決する為に請求項14記載の発明は、請求項1乃至12記載の薄膜トランジスタの製造方法において、前記熱処理は200℃以上の水分雰囲気中でおこなうことを特徴とする。

【0022】上記課題を解決する為に請求項15記載の薄膜トランジスタの製造方法は、請求項1乃至12記載の薄膜トランジスタの製造方法において、前記熱処理は大気圧以上に加圧した100℃以上の水分雰囲気中にておこなうことを特徴とする。

【0023】

【発明の実施の形態】以下、本発明の実施の形態の一例を図面に基いて詳述する。図1に工程を追うごとのpoly-Si TFTの構造を図示する。

【0024】(1. 半導体薄膜の形成) (図1(A)) 本発明の実施のためには通常、基板(101)の上に下地保護膜(102)を形成しその上に半導体薄膜(103)を形成するので、この一連の形成方法について説明する。

【0025】本発明を適応し得る基板(101)としては金属等の導電性物質、シリコン・カーバイド(SiC)やアルミナ(Al₂O₃)や窒化アルミニウム(AlN)等のセラミック材料、熔融石英やガラス等の透明または非透明絶縁性物質、シリコンウェーハ等の半導体物質、並びにそれを加工したLSI基板等が可能である。半導体膜は基板上に直接又は下地保護膜や下部電極等を介して堆積する。またシリコンウェーハなどの単結晶基板はこれをそのまま能動層となる半導体層(103)として使用する。

【0026】下地保護膜(102)としては酸化硅素膜(SiO_x: 0<x≤2)や窒化硅素膜(Si₃N₄: 0<x≤4)等の絶縁性物質が挙げられる。TFTなどの薄膜半導体装置を通常のガラス基板上に作成する場合の様な半導体膜への不純物制御が重要である時、ガラス基板中に含まれているナトリウム(Na)等の可動イオンが半導体膜中に侵入しない様に下地保護膜を形成した後半導体膜を堆積する事が好ましい。同じ事情は各種セラミック材料を基板として用いる場合にも通ずる。下地保護膜はセラミック中に添加されている焼結助剤原料などの不純物が半導体部に拡散及び混入するのを防止す

(5)

特開2002-208707

7

8

るのである。金属材料などの導電性材料を基板として用い、且つ半導体膜が金属基板と電気的に絶縁されていなければならない場合には、絶縁性を確保する為に当然下地保護膜は必要不可欠である。更に半導体基板やLSI素子上に半導体膜を形成する時にはトランジスタ間や配線間の層間絶縁膜が同時に下地保護膜でもある。

【0027】下地保護膜はまず基板を純水やアルコールなどの有機溶剤で洗浄した後、基板上に常圧化学気相堆積法（APCVD法）や低圧化学気相堆積法（LPCVD法）、プラズマ化学気相堆積法（PECVD法）等のCVD法或いはスパッター法等で形成する。下地保護膜として酸化珪素膜を用いる場合、常圧化学気相堆積法では基板温度を250℃程度から450℃程度としてモノシラン（SiH₄）や酸素を原料として堆積し得る。プラズマ化学気相堆積法やスパッター法では基板温度は室温から400℃程度である。下地保護膜の膜厚は基板からの不純物元素の拡散と混入を防ぐのに十分な厚さが必要で、その値は最小で100nm程度以上である。ロット間や基板間のばらつきを考慮すると200nm程度以上が好ましく、300nm程度あれば保護膜としての機能を十分に果たし得る。下地保護膜がIC素子間やこれらを結ぶ配線等の層間絶縁膜を兼ねる場合には、通常400nmから600nm程度の膜厚となる。絶縁膜が余りにも厚くなると絶縁膜のストレスに起因するクラックが生ずる。その為最大膜厚は2μm程度が好ましい。生産性を考慮する必要が強い場合、絶縁膜厚は1μm程度が上限である。

【0028】次に半導体薄膜（103）について説明する。本発明が適用される半導体膜としてはシリコン（Si）やゲルマニウム（Ge）等の四族単体の半導体膜の他に、シリコン・ゲルマニウム（Si_{1-x}Ge_x、0<x<1）やシリコン・カーバイド（Si_{1-x}C_x、0<x<1）やゲルマニウム・カーバイド（Ge_{1-x}C_x、0<x<1）等の四族元素複合体の半導体膜、ガリウム・ヒ素（GaAs）やインジウム・アンチモン（InSb）等の三族元素と五族元素との複合化合物半導体膜、またはカドミウム・セレン（CdSe）等の二族元素と六族元素との複合化合物半導体膜等がある。或いはシリコン・ゲルマニウム・ガリウム・ヒ素（Si_xGe_yGa_zAs、x+y+z=1）と云った更なる複合化合物半導体膜やこれらの半導体膜にリン（P）、ヒ素（As）、アンチモン（Sb）などのドナー元素を添加したN型半導体膜、或いはホウ素（B）、アルミニウム（Al）、ガリウム（Ga）、インジウム（In）等のアクセプター元素を添加したP型半導体膜に対しても本発明は適応可能である。これら半導体膜はAPCVD法やLPCVD法、PECVD法等のCVD法、或いはスパッター法等や蒸着法等のPVD法で形成する。半導体膜としてシリコン膜を用いる場合、LPCVD法では基板温度を400℃程度から700℃程度

としてジシラン（Si₂H₆）などを原料として堆積し得る。PECVD法ではモノシラン（SiH₄）などを原料として基板温度が100℃程度から500℃程度で堆積可能である。スパッター法を用いる時には基板温度は室温から400℃程度である。この様に堆積された半導体膜の初期状態（as-deposited状態）は非晶質や微晶質、微結晶質、或いは多結晶質等様々な状態があるが、本願発明にあつては初期状態はいずれの状態であっても構わない。尚本願明細書中では非晶質の結晶化のみならず、多結晶質や微結晶質の再結晶化をも含めて総て結晶化と呼ぶ。半導体膜の膜厚はそれをTFTに用いる時には20nm程度から100nm程度が適している。

【0029】（2. 半導体薄膜のレーザー結晶化）（図1（B））

基板上に下地絶縁膜と半導体膜を形成した後、この半導体膜をレーザー照射手段104によりレーザー照射によって結晶化する。通常、LPCVD法、PECVD法等のCVD法で堆積させたシリコン膜表面は自然酸化膜で覆われていることが多い。従つて、レーザー光を照射する前にこの自然酸化膜を除去する必要がある。このためには希酸溶液に浸してウエットエッチングする方法や、フッ素を含んだプラズマ中でのドライエッチング等がある。

【0030】次に半導体膜のついた基板をレーザー照射チャンバーにセットする。レーザー照射チャンバーは一部分が石英の窓によってできており、チャンバーを真空に排気した後この石英窓からレーザー光を照射する。

【0031】ここでレーザー光について説明する。レーザー光は半導体薄膜（103）表面で強く吸収され、その直下の絶縁膜（102）や基板（101）にはほとんど吸収されないことが望まれる。従つてこのレーザー光としては紫外域またはその近傍の波長を持つエキシマレーザー、アルゴンイオンレーザー、YAGレーザー高調波等が好ましい。また、半導体薄膜を高温に加熱すると同時に基板へのダメージを防ぐためには大出力でしかも極短時間のパルス発振であることが必要となる。従つて、上記レーザー光の中でも特にキセノン・クロライド（XeCl）レーザー（波長308nm）やクリプトンフッライド（KrF）レーザー（波長248nm）等のエキシマレーザーが最も適している。次にこれらのレーザー光の照射方法について図2にそつて述べる。レーザーパルスの強度半値幅は10ns程度から500ns程度の極短時間である。レーザー照射は基板（200）を室温（25℃）程度から400℃程度の間とし、背景真空度が10⁻⁴Torr程度から10⁻⁸Torr程度の真空中にて行う。レーザー照射の一回の照射面積は対角5mm□程度から60mm□程度の正方形または長方形形状である。レーザー照射の一回の照射で例えば8mm□の正方形面積が結晶化できるビームを用いた場合につ

(6)

特開2002-208707

9

10

いて説明する。1カ所に1発のレーザー照射(201)をおこなった後、基板とレーザーとの位置を相対的に水平方向にわずかにずらす(203)。この後再び1発のレーザー照射(202)をおこなう。このショットアンドスキャンを連続的に繰り返していく事によって大面積の基板にも対応できる。更に具体的には、各照射毎に照射領域を1%程度から99%程度ずらして行く(例えば50%：先の例では4mm)。最初に水平方向(X方向)に走査した後、次に垂直方向(Y方向)に適當量(204)ずらせて、再び水平方向に所定量(203)ずつずらせて走査し、以後この走査を繰り返して基板全面に第一回目のレーザー照射を行う。この第一回目のレーザー照射エネルギー密度は 50 mJ/cm^2 程度から 600 mJ/cm^2 程度の間が好ましい。第一回目のレーザー照射が終了した後、必要に応じて第二回目のレーザー照射を全面に施す。第二回目のレーザー照射を行う場合、そのエネルギー密度は一回目より高い値が好ましく、 100 mJ/cm^2 程度から 1000 mJ/cm^2 程度の間としても良い。走査方法は第一回目のレーザー照射と同じで正方形の照射領域をY方向とX方向に適當量ずらせて走査する。更に必要に応じてエネルギー密度をより高くした第三回目或いは第四回目のレーザー照射を行う事も可能で有る。こうした多段階レーザー照射法を用いるとレーザー照射領域端部に起因するばらつきを完全に消失させる事が可能になる。多段階レーザー照射の各回目の照射に限らず通常の一段階照射でも、レーザー照射は総て半導体膜に損傷が与らぬエネルギー密度で行う。これ以外にも図3に示すように、照射領域形状を幅 $100\text{ }\mu\text{m}$ 程度以上で長さ数 10 cm 以上のライン状(301)とし、このライン状レーザー光を走査して結晶化を進めても良い。この場合各照射毎のビームの幅方向の重なりはビーム幅の5%程度から95%程度とする。ビーム幅が $100\text{ }\mu\text{m}$ でビーム毎の重なり量が90%で有れば、一回の照射毎にビームは $10\text{ }\mu\text{m}$ 進むので同一点は10回のレーザー照射を受ける事となる。通常半導体膜を基板全体で均一に結晶化させるには少なくとも5回程度以上のレーザー照射が望まれるので、照射毎のビームの重なり量は80%程度以上が求められる。高い結晶性の多結晶膜を確実に得るには同一点が10回程度から30回程度の照射が行われる様に重なり量を90%程度から97%程度へと調整するのが好ましい。ラインビームを用いることによって1方向のスキャンで広い面積の結晶化ができるので、前述の正方形ビームに比べてスループットを高められるというメリットがえられる。

【0032】ここでレーザー結晶化工程での基板加熱について説明する。先に述べたようにレーザー照射により半導体薄膜は熔融・結晶化するので、シリコン膜の温度は 1400°C 以上に上昇し、その後基板への熱伝導により 10^1 (K/s)程度のレートで急冷される。すな

わち、レーザーを照射してからせいぜい 100 ns で熔融および結晶成長が完了するのである。これから容易に推察できるように、結晶粒界の形成時間が極端に短時間であるためシリコン原子同士が良好な結合を形成できず、結晶粒界ではダングリングボンドが大量に発生するという結果になる。これらダングリングボンドが捕獲準位を形成する。結果として、レーザー結晶化のような高速の結晶成長では結晶粒界に 10^{18} (cm^{-3})以上の捕獲準位が発生する。この高い捕獲準位密度は 400°C 程度の基板加熱をおこなってもほとんど低減されない。これは、結晶粒界形成時間は基板加熱程度では変わらないからである。このように、レーザー結晶化過程の制御に関して基板加熱はほとんど必要ないのである。言い換えると、レーザー結晶化過程での基板温度には特に制限がないといえる。

【0033】TFTの特性を向上させる、あるいはバラツキを低減させるためには、むしろレーザー結晶化過程に引き続く工程を真空中連続でおこなうことが重要である。これは真空中でプロセスをおこなうことが捕獲準位の制御に圧倒的に有利だからである。特にバラツキ制御に重要なレーザー結晶化、プラズマ処理、ゲート絶縁膜形成は少なくとも真空中連続プロセスでおこなうことが望まれる。連続プロセスをおこなう場合、それらのプロセス間で基板温度が一定であることが極めて重要である。なぜならば、真空中で基板の温度を上げたり下げたりすることは工程のスループットを極端に低下させることになるからである。この観点に立って考えると、真空中連続プロセスを前提とした場合レーザー結晶化をおこなう場合の基板温度は他の温度に左右されやすいプロセスに合わせる事が有効である。後述するが、特にゲート絶縁膜形成プロセスにより形成されるMOS界面の界面準位密度が基板温度により強く影響されるためレーザー結晶化はゲート絶縁膜形成プロセスの温度に合わせるのがよい。具体的には 100°C 以下が望ましい。

【0034】(3. 半導体薄膜のプラズマ処理) レーザー結晶化直後の $\text{p}01\text{y-Si}$ 膜中には 10^{18} (cm^{-3})程度の高い密度で捕獲準位が存在する。これはレーザー結晶化が極めて高速の結晶成長であるため、特に結晶粒界に多くの捕獲準位が局在する。これら捕獲準位の正体はシリコンの未結合手(ダングリングボンド)であり、通常は中性であるがキャリアを捕獲して電荷を帯びる性質がある。これら捕獲準位が高密度で $\text{p}01\text{y-Si}$ 膜中に存在すると、TFTを動作させようとしたとき電界効果によって誘起されたキャリアがごとごとく捕獲準位に捕獲されてしまうので、ソースドレイン電極間に電流が流れなくなってしまう。結果としてより高いゲート電圧をかける必要が生じ、閾値電圧の上昇を招くのである。これを防ぐために上記レーザー結晶化工程によって全面結晶化が終了した後、基板を真空ロ

(7)

特開2002-208707

11

チャンバーに酸素や酸素、窒素ガスをマスフローコントローラを経て導入し、平行平板RF電極により試料全面にてプラズマ放電をおこなう。ここでガス圧力は例えば1 Torr程度になるように調整する。プラズマ発生は、他にも誘導結合型RF放電やECR放電、直流放電あるいは熱フィラメントによる熱電子をもちいた電離によって発生させることが出来る。レーザー結晶化直後のpoly-Si膜に基板温度100℃で酸素プラズマ処理を5秒から300秒施す。酸素はシリコン膜中の拡散速度が極めて大きいので、例えば50nm程度の膜厚のpoly-Siならば処理時間は160秒程度で十分である。酸素は原子半径が小さくpoly-Si膜の深い位置、すなわち下地層との界面まで効率的に捕獲単位バシベーションが短時間で可能となる。

【0035】従来の酸素プラズマによる捕獲単位のバシベーションは基板温度を200℃以上におこなわれている。これは膜中への酸素の拡散を早め、なお且つ捕獲単位の原因であるダングリングボンドと酸素が効率的に反応するのを助けるためである。しかし、先に述べたように真空中連続プロセスを前提とした場合、プロセス温度は100℃以下が望ましい。しかし、本発明が開示するプロセスは、低温でプラズマ処理をおこなっても、後の工程で熱処理をすることによってpoly-Si膜中のダングリングボンドを低減できるというものである。すなわち、基板温度を200℃以上にあげた状態でプラズマ処理をすればダングリングボンドは即座に酸素終端されるが、基板温度100℃以下ではすぐに酸素終端されない。しかし100℃程度の基板温度でのプラズマ処理でもpoly-Si膜中には十分な濃度の酸素が拡散しているので、後の工程で250℃程度以上の熱処理をすることでpoly-Si膜中の酸素原子は拡散およびダングリングボンドと反応し、結果的に効率的なダングリングボンドの酸素終端が実現できるのである。先に述べたように、真空中連続プロセスにおけるスループットを確保しつつ、なお且つpoly-Si膜中の捕獲単位を効率的に低減するという目的を両立するためには、真空中連続プロセスでのプラズマ処理は100℃以下の基板温度でおこない、後に熱処理をおこなうというのがもっとも理想的なプロセスとなるのである。

【0036】捕獲単位を低減させるプロセスとしては酸素プラズマが適しているが、他にも酸素プラズマ、窒素プラズマ、フッ素プラズマなどのプラズマ処理を100℃以下の基板温度でおこない、後に熱処理を施すことによって捕獲単位を低減することも十分可能である。

【0037】(4. ゲート絶縁膜形成) (図1(C)) 斯様にしてpoly-Si膜の高品質化を達成することが可能であるが、更に重要なプロセスは高品質なMOS界面を形成する工程である。poly-Si表面に存在するシリコン原子にうまく酸素原子を結合させて界面単位密度を低減させる必要がある。シリコン膜表面にはお

12

よそ 10^{15} (cm^{-2})の結合手が存在するので、これらのほとんどがSi-Oと清浄な化学結合を形成することが重要となる。TFETのトランジスタ特性を良好なものにするには、界面単位密度を 10^{10} (cm^{-2})程度に抑える必要がある。すなわち、10万個のシリコン結合手に対して1個程度の欠陥しか許容されず、あとの結合手は酸素原子と秩序正しく結合をしていなければならないという大変厳しいものである。従来のプラズマCVDプロセスにおいて、この界面単位密度はせいぜい 10^{12} ($\text{cm}^{-2} \text{ eV}^{-1}$)程度にしか制御することができなかった。本発明が開示する技術は、半導体層上にゲート絶縁膜を形成する工程は基板温度を100℃以下でおこなうことが特徴である。同時に、MOS界面形成では絶対的に基板温度が重要であるため、これより前の真空中連続プロセス、すなわちレーザー結晶化、プラズマ処理の基板温度をゲート絶縁膜形成プロセスの基板温度に統一することが特徴である。

【0038】プラズマCVDはプラズマ中の活性酸素ラジカルによってSi-Hガスが分解され、気相でSi-O₂が形成されこれが基板上に堆積するものである。このような反応性にとんだ雰囲気下で堆積されたSi-O₂は半導体表面でシリコンと化学結合を形成し良好な界面を作りうる。しかしながら、成膜雰囲気中に存在する酸素の活性種によりSi-O₂の堆積と同時に半導体表面の酸化が進行するのである。ここで酸化というのは原子層1層レベル以下の現象である。シリコンは酸化されると体積が1.5倍に増加するため、酸化されたSi-Si-O₂結合には局所的な応力発生がともなう。これが界面単位の主たる原因である。よって、Si-O₂の堆積により良好なSi-Si-O₂結合が形成される割合に対して、酸化によって形成されたSi-Si-O₂結合の割合が増加すると結果的に高い界面単位を有するMOS界面が形成されるのである。定量的に説明すると、界面に存在するシリコン結合手およそ 10^{15} (cm^{-2})のうちほとんどがSi-O₂の堆積により良好な結合を形成する。しかしこのうちの 10^{10} (cm^{-2})以上のSi-O結合がシリコンの酸化によって形成されると、これがそっくり界面単位となるのである。すなわち、ここで議論しているのは10⁵分の1の確率、すなわち10万個に1個のSi-O結合でも酸化が起こるとは気ができない程度の界面単位を発生するということである。このような界面形成機構は当然の事ながら成膜初期段階で起こる。すなわち、半導体上にSi-O₂が堆積開始すると同時に、前記酸化過程が起こっているのである。本発明はこの界面形成機構を開示すると同時に、先に述べた酸化によって形成される界面単位密度の活性化エネルギーが極めて大きいことを開示するものである。言い換えると、基板温度によって界面単位密度を制御できるということである。図4は絶縁膜形成時の基板温度と界面単位密度: D_{it} ($\text{cm}^{-2} \text{ eV}^{-1}$)の水雰囲気中での熱

(8)

特開2002-208707

13

アニール時間依存性の実験結果を示すものである。この結果からわかるように、水素雰囲気中熱アニールで相当量の界面準位が低減できるのが、この処理は一旦酸化された結合を修復することはできない。ところが、成膜時の基板温度を低くすることによってシリコン表面においておこる酸化の確率を劇的に低減することができるのである。これは界面で起こる酸化が基板温度に強く依存する。すなわち基板温度が高いほど酸化が起こりやすいということを示している。同グラフからわかるように、基板温度を100℃以下にすることによって界面準位密度を 1×10^{11} (cm⁻² eV⁻¹)程度に低減できる。また基板温度を100℃程度にしておけば、プラズマCVDの反応副生成物であるOH結合が絶縁膜中で発生するのを低減することができるためフラットバンド電圧のシフトや絶縁膜の信頼性を確保することができるので実用上良好な条件を与える。また先に述べたpoly-Si膜のプラズマ処理に於いても、基板温度が少しでも高い方が水素原子の拡散が促進されるので、工程のスループットを高めるのに有利である。このため、基板温度を100℃に統一した条件下でレーザー結晶化、プラズマ処理、ゲート絶縁膜形成を真空中連続プロセスでおこなうのがきわめて有効である。また、基板加熱をしない条件下で成膜をおこなってもよい。これは装置構造が簡単になるため製造コストの面で非常に有利であり、基板温度の調整が不要なため真空中連続プロセスであっても極めて高いスループットを確保できる。なお且つ基板加熱をしないことにより 8×10^{11} (cm⁻² eV⁻¹)の良好な界面準位密度を与える。すぐれたMOS界面を形成できるのである。プラズマCVDによる成膜ではプラズマから基板への熱輸送が起こり基板温度は自然に上昇するため、基板を積極的に低い温度に制御することも有効である。すなわち基板温度を室温程度または室温以下に冷却することによって、さらに良好な界面準位密度をえることができる。図4に見られるように、室温で 3×10^{11} (cm⁻² eV⁻¹)の界面準位密度が、さらに基板を-50℃に冷却することで 1×10^{11} (cm⁻² eV⁻¹)の界面準位密度をえることができるのである。これらの界面準位の値は熱酸化膜で絶縁膜を形成した際にえられる界面準位密度と同程度の値である。すなわち、絶縁膜形成時の基板温度を下げることによって、低温でも極めて優れたMOS界面を形成することができるのである。このような超高品質MOS界面を用いることによって、薄膜トランジスタの閾値電圧を1V程度に下げることが可能である。これにより、超低消費電力の回路を実現することができる。

【0039】以上のような界面制御技術は特にプラズマにより絶縁膜を形成する場合に重要である。それは減圧下で大量の酸素活性種が発生されるためである。すなわちこれら酸素活性種による半導体表面における恒わずかな確率で起こる酸化過程を制御することがプラズマを用

14

いたMOS界面形成では本質的となるのである。さらに、マイクロ波放電を用いたプラズマCVDでは本発明が開示する技術の効果は顕著である。これは一般的にマイクロ波放電プラズマはプラズマ密度が高いという利点がある反面、 10^{-9} (Torr)程度の比較的低圧力で生成されるためプラズマ中の電子の平均自由行程が長く、より高次の分解が促進されるからである。すなわち、酸素分子ラジカルよりも、原子状酸素、酸素ラジカルが反応の主体であり、これらは界面の酸化に関して極めて活性である。従ってマイクロ波放電プラズマを用いた絶縁膜形成においては、基板温度を下げて成膜することによって劇的に界面準位密度を低減できるのである。【0040】具体的な工程としては、レーザー結晶化によって形成されたpoly-Si膜は真空中連続で水素プラズマ処理され、その後更に真空間を蔽うことなく絶縁膜形成チャンバーへと真空搬送される。真空チャンバー中で基板を100℃以下に調温し、背景真空度が 10^{-9} (Torr)台になるまで真空排気する。この状態で真空チャンバー内に酸素ガスとシランガス(SiH₄)を流す。放電を安定させるためにHeガスで希釈する方法も有効である。一般的には酸素ガス流量はシランガス流量の5倍以上とする。この状態でプラズマ放電をおこない、SiO₂膜(105)形成をおこなう。放電の形態としては平行平板型RF放電、ICP放電、ECR放電などがあり、電源としてはRF電源やVHF、UHF電源、マイクロ波源を用いることができる。以上がゲート絶縁膜形成工程である。

【0041】繰り返し述べるように、TFTの特性向上、バラツキ低減には真空中連続プロセスが重要であるが、工程のスループットを高めるためには連続プロセスにおける基板温度を統一することが求められる。これまでの説明で述べたように、ゲート絶縁膜形成工程で界面準位密度を制御するためには基板温度を100℃以下にすることが絶対的に求められる。よって、レーザー結晶化、プラズマ処理、ゲート絶縁膜形成の一連の真空中連続プロセスは100℃以下の統一温度でおこなうのである。このときの温度はゲート絶縁膜形成工程の温度によって100℃、加熱なし、あるいは室温以下のいずれかに温度とする。

【0042】(5. アニール工程)前記絶縁膜形成行程を経た後、基板を真空装置から取り出し、250℃以上の基板温度で、水素ガスを含んだガス雰囲気中で熱処理をおこなう。これは先にも述べたように、レーザー結晶化後に100℃以下の低温プラズマ処理をおこなった場合、poly-Si膜中の損傷準位は低減されていないからである。しかし、本発明は水素プラズマにさらされたpoly-Si膜中にはダングリングボンドの密度に比較すると十分高い密度の水素原子がすでに導入されており、熱処理によりこれらの水素原子を活性化させ拡散およびダングリングボンドとの反応を促進させダングリ

15

ングボンドの終端が可能であることを開示するものである。特に水素の場合、 poly-Si 膜中で活性化させるためには、脱離温度である 420°C より少し低い 400°C の熱処理が効果的である。あるいは水分を含んだ雰囲気中にて 200°C 以上の温度で加熱処理をおこなうのも有効である。水分雰囲気中での熱処理によって poly-Si 膜中の信接準位が低減できるのに加えて、前記工程にて低い基板温度で形成された絶縁膜(105)は反応副生成物である Si-OH 結合を多く含み、バルク絶縁膜特性が悪いため、これを改善するのが目的である。特に半導体表面とキャリアのやり取りができる程度にMOS界面近傍に存在する絶縁膜中の欠陥はMOS界面準位にも影響を与える。図5に絶縁膜成膜直後と、前記アニールを施した後のCV特性を示す。OH結合が絶縁膜の界面近傍に多く存在すると、これが界面特性に悪影響を及ぼす。またバルク絶縁膜の耐圧低下を招く。しかし、 100°C 以上の水蒸気雰囲気中にて熱処理を施すことによって、この Si-OH 結合を劇的に低減することができる。この効果が絶大であることは図5から明白である。これにより、界面準位の劇的な低減および絶縁耐圧、信頼性の確保が可能となる。特に短時間で特に絶縁膜の改善を実現するためには 300°C 程度の処理温度が有効である。このように水分雰囲気中での熱処理は poly-Si 膜中およびMOS界面における捕獲準位の低減に極めて有効であるが、さらにこの効果をより低温且つ短時間で実現するためには大気圧以上に加圧した 100°C 以上の水分雰囲気中で熱処理をおこなうのが有効である。これは絶縁膜中および poly-Si 膜中への水素原子、酸素原子の拡散を早め、なお且つ反応速度を高めることができるからである。具体的には40気圧程度の圧力下において 190°C の飽和水分雰囲気中で熱処理をおこなうとよい。

【0043】以上述べたように、先のレーザー結晶化、プラズマ処理、ゲート絶縁膜形成にひきつづいて熱処理をおこなうことにより、 poly-Si 膜中およびMOS界面、更には絶縁膜中の信接準位を劇的に低減することができるのである。なお、本実施例では真空中連続プロセスの直後に熱処理をおこなう場合を記したが、この熱処理は更に後の工程でおこなってもまったく同様の効果を得ることができるものである。

【0044】(6. 蒸子分離工程) (図1(D))

レーザー結晶化、プラズマ処理、MOS界面形成の真空中連続プロセスおよび熱処理により極めて高品質のMOS構造が形成された。次にTFT素子同士を電気的に絶縁するために素子分離工程をおこなう。ここでは図1に示すように絶縁膜と poly-Si 膜を連続してエッチングする。絶縁膜(105)上にフォトリソグラフィによりパターンを形成した後、ウェットまたはドライエッチングにより SiO_2 をエッチングする。引き続き poly-Si 膜をドライエッチングによりエッチングす

(9)

特開2002-208707

16

る。ここでは SiO_2 と poly-Si 膜の2層をエッチングするので、エッチング後のエッジの形状が底状にならないよう注意する必要がある。

【0045】(7. 第2段階ゲート絶縁膜形成) (図1(E))

アイランド状の SiO_2 、 poly-Si 膜を形成した後、基板全面に更にゲート絶縁膜(106)を形成する。ゲート絶縁膜の成膜方法としては、ECRプラズマCVD法、平行平板RF放電プラズマCVD法などがある。または再度酸素ラジカル中で SiO 蒸着することによって絶縁膜を形成してもよい。しかし、この第2段階の絶縁膜は段差接着性がよくないと、段差部分での電気的ショートを引き起こしたり、耐圧低下の原因となる。このため段差接着性に優れたTEOSと酸素を原料ガスとしたプラズマCVDが有効である。また、第1段階の絶縁膜は低温で形成するため絶縁耐圧が低くなる傾向が強い。しかしながら第2段階として 100°C 以上の基板温度で絶縁膜を形成することにより絶縁膜全体としての絶縁耐圧を向上させることができる。図6は第1段階の絶縁膜の成膜(基板温度 100°C)のみで絶縁膜の耐圧を調べた場合(single layer)と、第2段階の絶縁膜成膜(基板温度 300°C 、TEOS+ O_2)をおこなった後で2層構造絶縁膜(double layer)の耐圧を調べた結果である。これから明らかなように本発明が開示する2段階での絶縁膜形成法により、絶縁膜の耐圧を実用上十分な7(MV/cm)程度にまで改善することが可能となる。このようにMOS界面形成とバルク絶縁膜形成に異なる絶縁膜形成法を用いることによって、従来の低温プロセスでは実現し得なかった、優れたMOS界面特性およびバルク絶縁膜特性の両立を実現することができるのである。

【0046】(8. 以降の工程) (図1(F)及び(G))

引き続きゲート電極(107)となる薄膜をPVD法或いはCVD法などで堆積する。この材質は電気抵抗が低く、 350°C 程度の熱工程に対して安定である事が望まれ、例えばタンタル、タングステン、クロム等の高融点金属がふさわしい。また、イオンドーピングによってソース、ドレインを形成する場合、水素のチャネリングを防止するためにこのゲート電極の膜厚がおよそ700nm程度必要になる。前記高融点金属の中で700nmもの膜厚で成膜しても膜ストレスによるクラックが生じない材料となると、タンタルが最もふさわしい。ゲート電極となる薄膜を堆積後パターニングを行い、引き続き半導体膜に不純物イオン注入を行ってソース・ドレイン領域(108、109)を形成する。この時ゲート電極がイオン注入のマスクとなっているので、チャンネルはゲート電極下のみに形成される自己整合構造となる。不純物イオン注入は質量非分離型イオン注入装置を用いて注入不純物元素の水素化合物と水素を注入するイオン・

(11)

特開2002-208707

19

これをくり返し、3回目、4回目と約 20 mJ/cm^2 ずつ照射エネルギー密度を上昇させながら最終的にはのエネルギー密度 440 mJ/cm^2 の照射をおこないレーザー照射を終了する。ここで 450 mJ/cm^2 の照射レーザーエネルギー密度を超えた高いエネルギーを照射すると、 p-Si のグレインが微結晶化を起こすため、これ以上のエネルギー照射を避けた。レーザー結晶化において積極的基板加熱はおこなわず、室温程度の基板温度で処理をおこなった。

【0052】次にこの基板を真空を保持した状態でプラズマ処理チャンパーに搬送し、このチャンパー内に水素ガスを導入する。本例では99.999%水素ガスをマスフローコントローラから導入し、チャンパー内圧力は1(torr)になるように調整した。この状態で平行平板電極に13.56MHzのRFを印可することによって放電を行い、水素によるレーザー結晶化 poly-Si 膜中の捕獲準位終端をおこなった。基板加熱はおこなわなかったため基板温度は室温程度で、投入したRFパワーは 3 W/cm^2 とした。この程度のRFパワーではプラズマからの熱流入による基板温度上昇はほとんど無視できる程度である。水素は十分短時間に膜中に拡散しうるので、160秒の処理で特に poly-Si 膜の深い位置および下地層との界面付近まで効率的に拡散する。

【0053】次に真空を保ったまま基板(100)を絶縁膜形成チャンパーへと搬送する。基板搬送終了後、チャンパー内を 10^{-6} (torr)台の真空度に排気する。基板はここでも積極的に加熱されず、ほぼ室温程度の基板温度となっている。この間、チャンパー内にシランガスと酸素ガスを流量比1:6で導入し、チャンパー内圧力を 2×10^{-5} (Torr)に調節する。チャンパー内のガス圧力が安定したらECR放電を開始し、絶縁膜の成膜を開始する。投入したマイクロ波パワーは1kWで、マイクロ波は遊力線に平行に導入窓から導入した。導入窓から14cmの位置にECRポイントがある。成膜は100(nm/min.)の成膜速度でおこなった。これにより、第1層目のゲート絶縁膜(105)を30nm形成した。

【0054】次に基板を真空チャンパーから取り出し、これを330℃の飽和水蒸気雰囲気中にセットし、90分間熱処理をおこなった。これにより先の水素プラズマ処理で poly-Si 膜中に導き込まれた水素が効率的に poly-Si 膜中の捕獲準位を終端し、且つ良好なMOS界面形成も同時に実現できる。次に poly-Si 膜と第1層絶縁膜の連続エッチングをおこなった。引き続き、第2層絶縁膜(106)を本例では平行平板型rf放電PECVD法で基板温度を350℃として70nm堆積した。原料ガスとしてはTEOS($\text{Si}-(\text{O}-\text{CH}_3)_2$)と酸素(O_2)の混合ガスを用いた。引き続きゲート電極(107)となる薄膜をP

20

VD法或いはCVD法などで堆積する。通常はゲート電極とゲート配線は同一材料にて同一工程で作られるが、この材質は電気抵抗が低く、350℃程度の熱工程に対して安定である事が望まれる。本例では膜厚が600nmのタンタル薄膜をスパッタ法により形成する。タンタル薄膜を形成する際の基板温度は180℃であり、スパッタガスとして窒素ガスを6.7%含むアルゴンガスを用いる。斯様に形成したタンタル薄膜は結晶構造がα構造と成っており、その比抵抗は凡そ $40\text{ }\mu\Omega\text{ cm}$ である。ゲート電極となる薄膜を堆積後パターンニングを行い、引き続き半導体膜に不純物イオン注入を行ってソース・ドレイン領域(108、109)及びチャンネル領域を形成する。この時ゲート電極がイオン注入のマスクとなっているため、チャンネルはゲート電極下のみに形成される自己整合構造となる。イオン・ドーピング法の原料ガスとしては水素中に希釈された濃度0.1%程度から10%程度のホスフィン(PH_3)やジボラン(B_2H_6)等の注入不純物元素の水素化物を用いる。本例ではNMOS形成を目指し、イオン・ドーピング装置を用いて、水素中に希釈された濃度5%のホスフィン(PH_3)を加速電圧100keVで注入する。 PH_3^+ や H_2^+ イオンを含むの全イオン注入量は $1 \times 10^{18}\text{ cm}^{-2}$ である。

【0055】次にソース・ドレイン上にコンタクトホールを開孔し、ソース・ドレイン取り出し電極(110、111)と配線をPVD法やCVD法などで形成して薄膜トランジスタが完成する。

【0056】従来の技術では、高品質な poly-Si 膜およびMOS界面を低温で、且つ高いスループットで形成する有効なプロセスが明確でなかった。しかし、以上述べて来た様に本発明の薄膜トランジスタの製造方法を用いることによって極めて高品質な poly-Si およびMOS界面形成が可能となる。結果として高移動度、低しきい値電圧でなお且つバラツキの極めて少ない薄膜トランジスタの製造が可能となり、超低消費電力回路の実現が可能となる。

【図面の簡単な説明】

【図1】本発明の薄膜トランジスタの製造方法の一実施形態をその工程に沿って示す断面図。

【図2】レーザー結晶化時のレーザービーム照射方法を模式的に示す図。

【図3】レーザー結晶化時のレーザービーム照射方法を模式的に示す図。

【図4】MOS界面の界面順位密度の基板温度依存性を示す線図。

【図5】MOS界面形成工程によって作製したMOS構造の高周波C-V特性を示す線図。

【図6】本発明の2段階絶縁膜形成工程によって作製したMOS構造と単層で形成したMOS構造の絶縁耐圧特性を示す図。

(12)

特開2002-208707

21

22

【符号の説明】

101... 基板
 102... 下地絶縁膜
 103... 半導体膜
 104... レーザー光照射手段
 105... 第1層ゲート絶縁膜
 106... 第2層ゲート絶縁膜
 107... ゲート電極

* 108... ソース

109... ドレイン

110... ソース電極

111... ドレイン電極

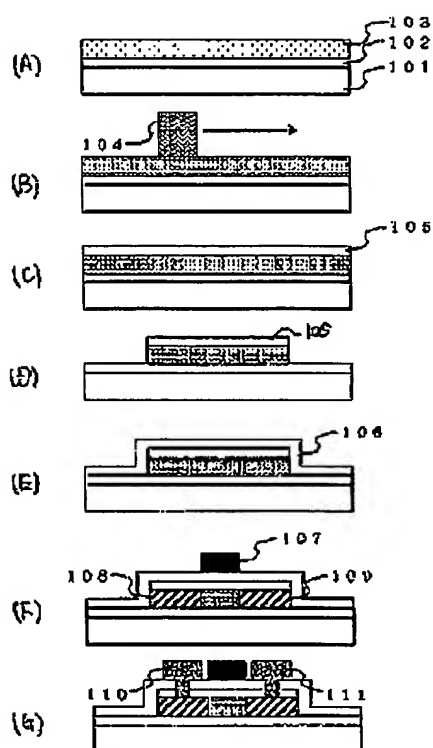
201... レーザー照射領域

203... x方向移動

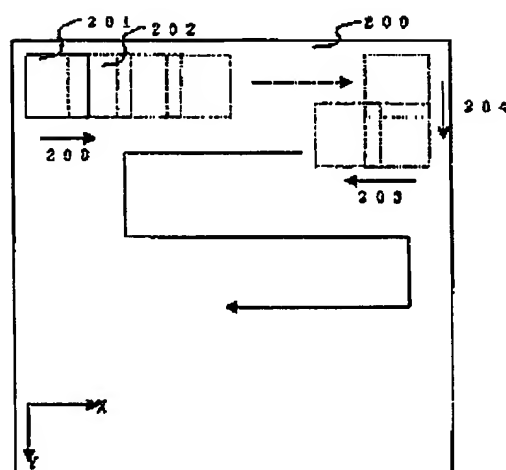
204... y方向移動

* 301... ライン状レーザービーム

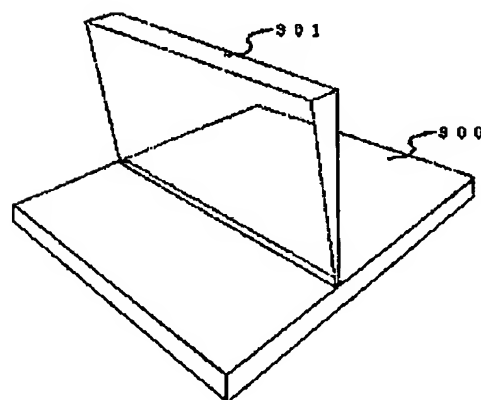
【図1】



【図2】



【図3】

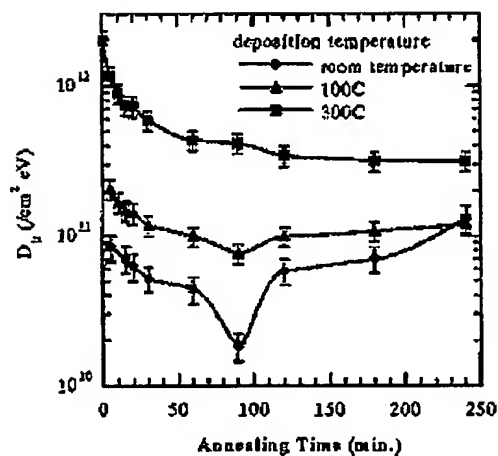


BEST AVAILABLE COPY

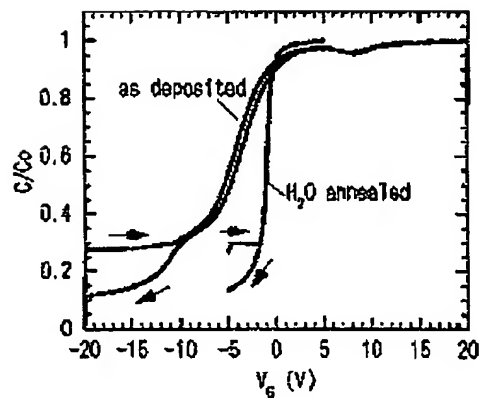
(13)

特開2002-208707

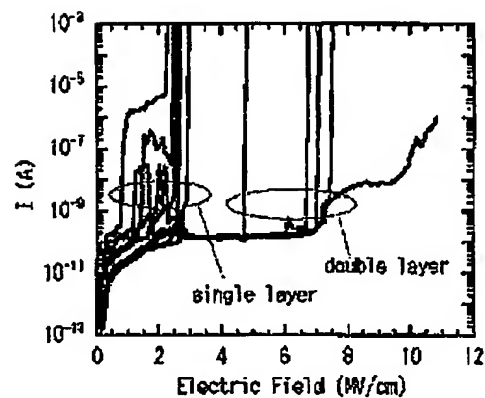
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.

識別記号

F1
H01L 29/78

サーチコード(参考)

627E
627G

BEST AVAILABLE COPY

(14)

特開2002-208707

F ターム(参考) 5F052 AA02 AA11 AA17 BB01 BB02
BB07 JA01
5F110 AA17 AA30 BB01 BB02 CC02
DD01 DD02 DD03 DD04 DD13
DD14 EE04 EE42 EE45 FF02
FF09 FF27 FF30 FF31 FF36
FF40 GG01 GG02 GG03 GG04
GG13 GG25 GG32 GG42 GG43
GG44 GG45 GG47 HJ12 HJ13
HJ23 HL22 HL24 PP03 PP04
PP05 PP06 PP10 PP31 PP38
QQ09 QQ11 QQ25

BEST AVAILABLE COPY